

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-261579

(43)Date of publication of application : 24.09.1999

(51)Int.Cl.

H04L 12/28

G06F 13/38

G06F 13/42

H04L 7/00

(21)Application number : 10-060932

(71)Applicant : SONY CORP

(22)Date of filing : 12.03.1998

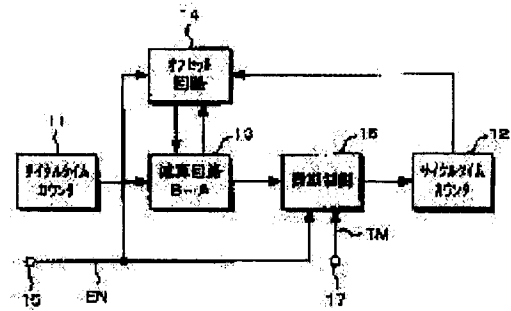
(72)Inventor : SUGITA TAKEHIRO
MAEJIMA YASUNARI

(54) SYNCHRONIZING METHOD AND BRIDGE

(57)Abstract:

PROBLEM TO BE SOLVED: To establish synchronization without temporarily stopping communication when mutually connecting buses composed of plural nodes for transmitting/ receiving data while maintaining mutual frame synchronism.

SOLUTION: An offset value is found based on the difference of cycle time counters 11 and 12 of both the buses and stored in an offset circuit 14. When mutually connecting the buses, the value of the cycle time counter 12 is corrected just for the offset, compared with the value of the cycle time counter 11 and synchronized. Then, the internal time in data is exchanged with the processing time of a bridge for connecting the respective buses by correcting internal data in data transmitted through the bridge just for the offset of synchronizing timing between the respective buses.



LEGAL STATUS

[Date of request for examination] 22.09.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3397124

[Date of registration] 14.02.2003

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

JP11-261579 A2: SYNCHRONIZING METHOD AND BRIDGE

Derwent Synchronizing method for a network of buses connected with a bridge for
Title: personal computers using audio and video units [\[Derwent Record\]](#)

Country: JP Japan

Kind: A (See also: [JP03397124B2](#))

Inventor: SUGITA TAKEHIRO;
MAEJIMA YASUNARI;

Assignee: SONY CORP

[News, Profiles, Stocks and More about this company](#)

Published 1999-09-24 / 1998-03-12
/ Filed:



[View](#)
[Image](#)

1 page

Application JP1998000060932
Number:

Family:

PDF	Publication	Pub. Date	Filed	Title
	US6879602	2005-04-12	1999-03-05	Synchronizing method and bridge
	TW0412897B	2000-11-21	1999-03-05	SYNCHRONIZING METHOD AND BRIDGE
	JP11261579A2	1999-09-24	1998-03-12	SYNCHRONIZING METHOD AND BRIDGE
	JP03397124B2	2003-04-14	1998-03-12	
	EP0942556B1	2006-10-25	1999-03-10	Synchronizing method and bridge
	EP0942556A3	2004-01-07	1999-03-10	Synchronizing method and bridge
	EP0942556A2	1999-09-15	1999-03-10	Synchronizing method and bridge
	DE69933724C0	2006-12-07	1999-03-10	Synchronisationsverfahren und Netzwerkbrücke
	AU1858899A1	1999-09-23	1999-03-04	SYNCHRONIZING METHOD AND BRIDGE

9 family members shown above



US006879602B1

(12) **United States Patent**
Sugita et al.

(10) **Patent No.:** US 6,879,602 B1
(45) **Date of Patent:** Apr. 12, 2005

(54) **SYNCHRONIZING METHOD AND BRIDGE**

(75) **Inventors:** Takehiro Sugita, Kanagawa (JP);
Yasunori Maeshima, Tokyo (JP)

(73) **Assignee:** Sony Corporation, Tokyo (JP)

(*) **Notice:** Subject to any disclaimer, the term of this patent is extended or adjusted under 35 U.S.C. 154(b) by 0 days.

(21) **Appl. No.:** 09/262,922

(22) **Filed:** Mar. 5, 1999

(30) **Foreign Application Priority Data**

Mar. 12, 1998 (JP) P10-060932

(51) **Int. Cl.⁷** H04J 3/06

(52) **U.S. Cl.** 370/503; 710/100; 710/107;
375/359; 375/362; 375/371

(58) **Field of Search** 370/401, 402,
370/503, 516; 710/100, 101, 104, 107,
110; 375/354, 359, 364, 362, 370, 356,
357, 371, 373

(56) **References Cited**

U.S. PATENT DOCUMENTS

5,128,971 A	7/1992	Johnson	375/107
5,408,506 A	4/1995	Mincher et al.	375/356
5,428,603 A *	6/1995	Kivett	370/280
5,434,996 A *	7/1995	Bell	713/400
5,517,505 A	5/1996	Buchholz et al.	370/105.1

5,557,755 A *	9/1996	Krein et al.	74/551.5
5,664,165 A *	9/1997	Curry et al.	713/501
5,692,200 A *	11/1997	Carlson et al.	710/262
5,721,839 A *	2/1998	Callison et al.	710/110
5,835,739 A *	11/1998	Bell et al.	710/109
5,867,496 A *	2/1999	Peres et al.	370/376
5,870,567 A *	2/1999	Hausauer et al.	710/110
5,878,272 A *	3/1999	Yanagisawa et al.	710/3
6,032,261 A *	2/2000	Hulyalkar	713/400
6,044,414 A *	3/2000	Golick	710/22
6,101,566 A *	8/2000	Woods et al.	710/129
6,128,318 A *	10/2000	Sato	370/505

FOREIGN PATENT DOCUMENTS

EP	0895378	2/1999	H04L/12/56
WO	WO9631033	10/1996	H04L/7/04
WO	WO9962216	12/1999	H04L/7/00

* cited by examiner

Primary Examiner—Huy D. Vu

Assistant Examiner—Roberta Stevens

(74) *Attorney, Agent, or Firm*—Jay H. Maioli

(57) **ABSTRACT**

An offset value corresponding to the difference between counter values of cycle time counters in two buses is obtained and stored, so that the buses are connected, the value of a first cycle time counter is compensated for by an offset value. The counter value of the first cycle time counter is compared with the counter value of a second cycle time counter, and a time stamp of data is changed corresponding to the offset value.

10 Claims, 8 Drawing Sheets

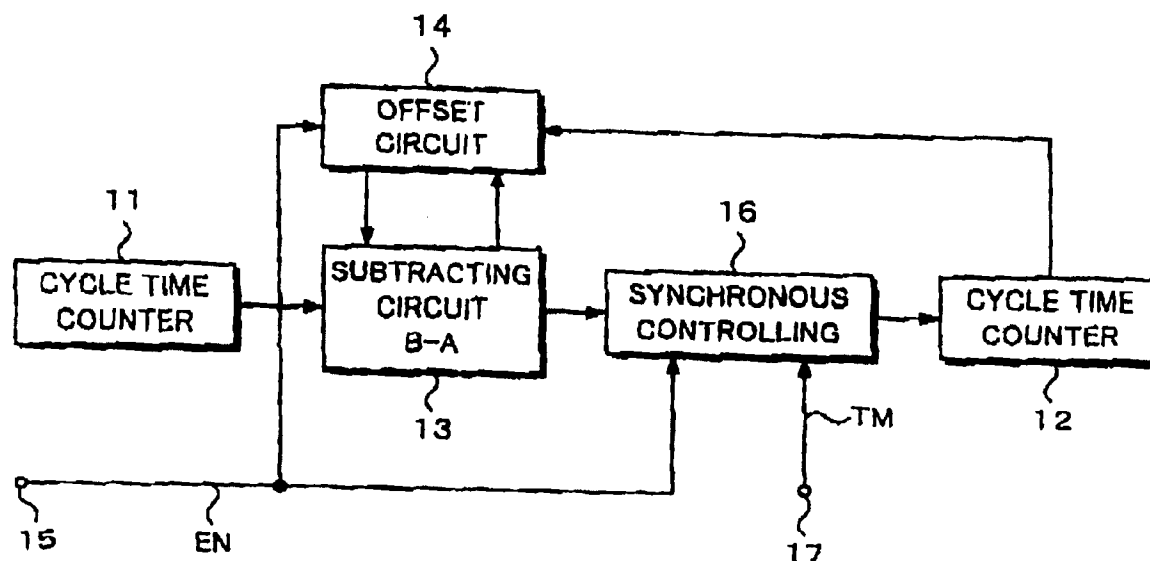


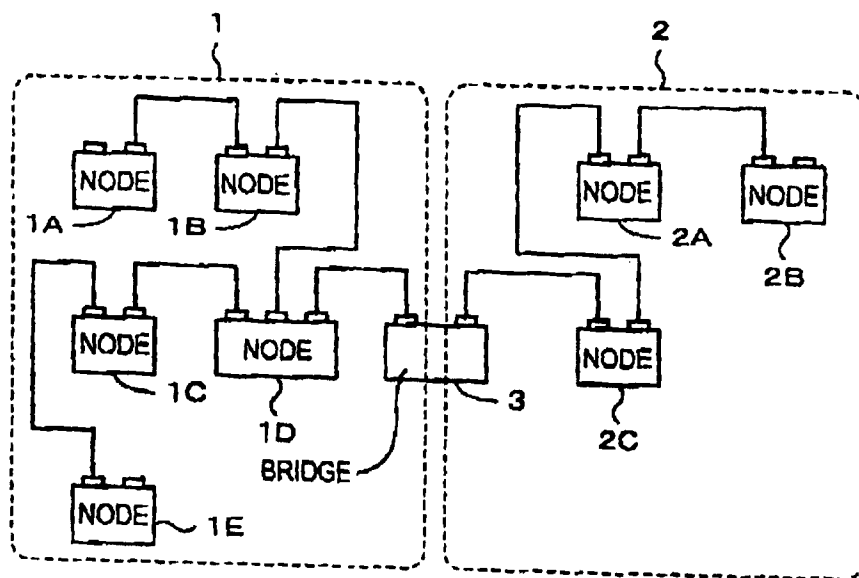
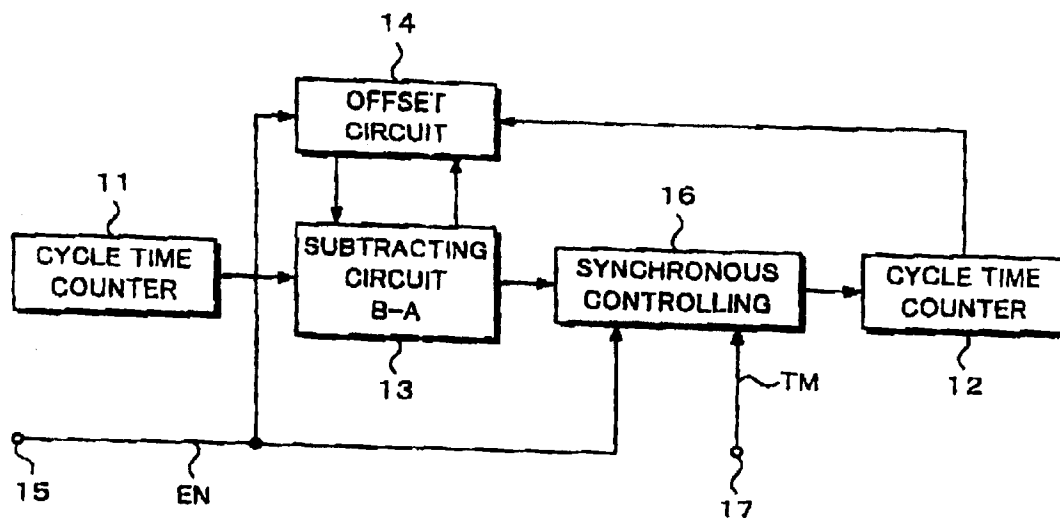
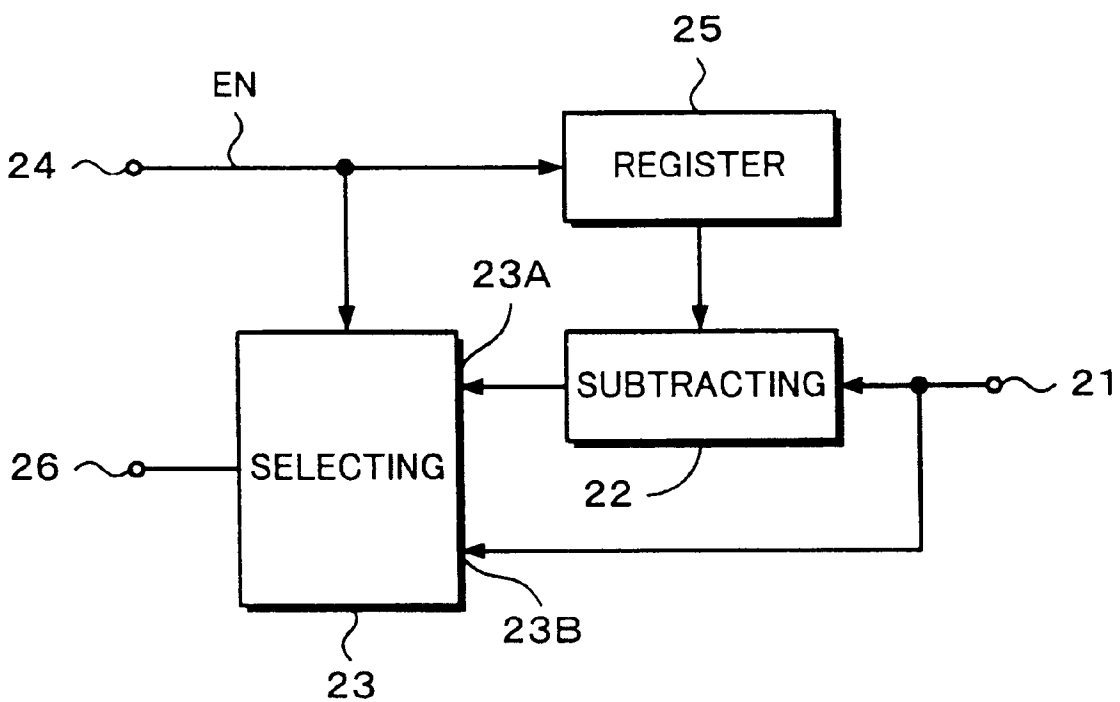
Fig. 1*Fig. 2*

Fig. 3

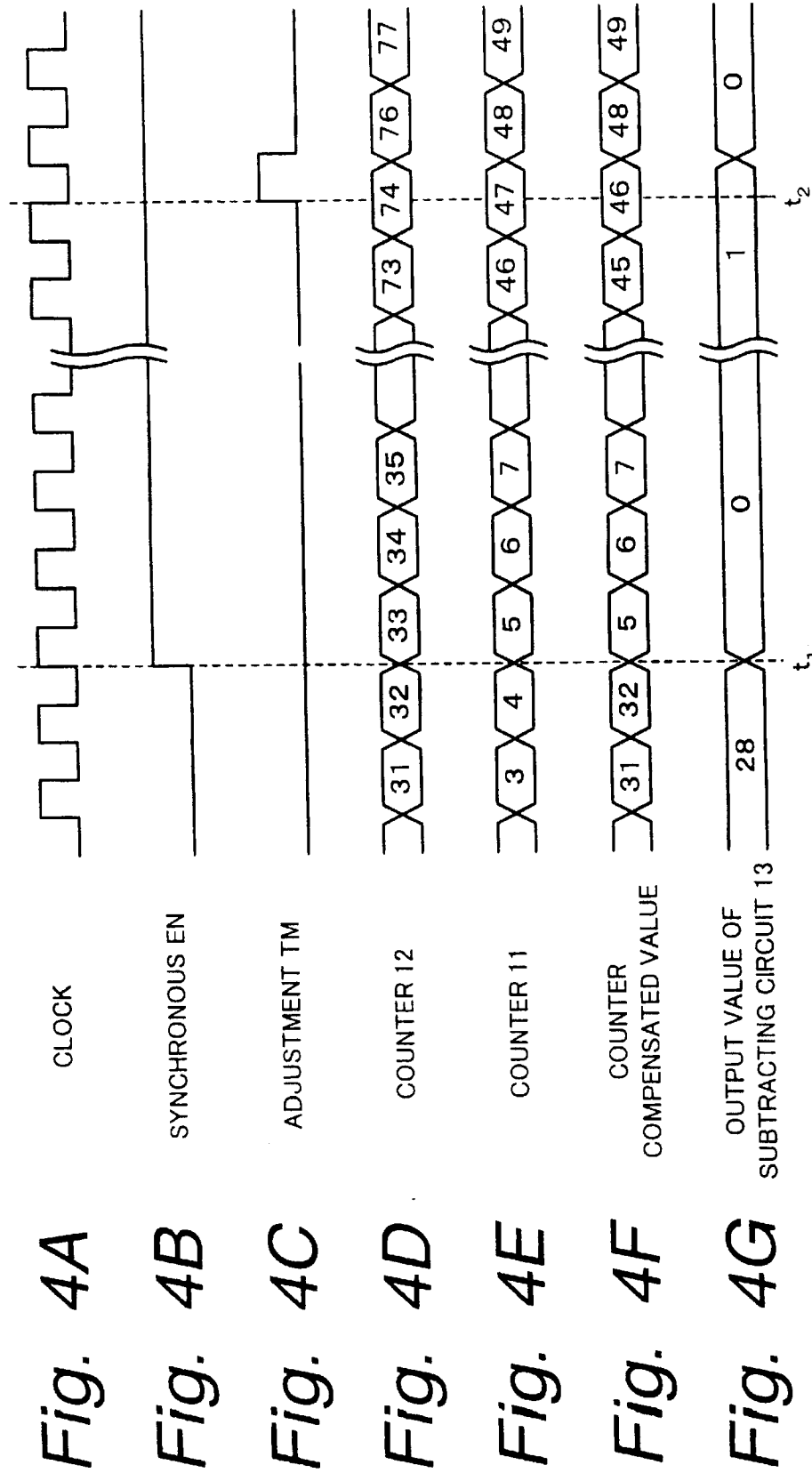
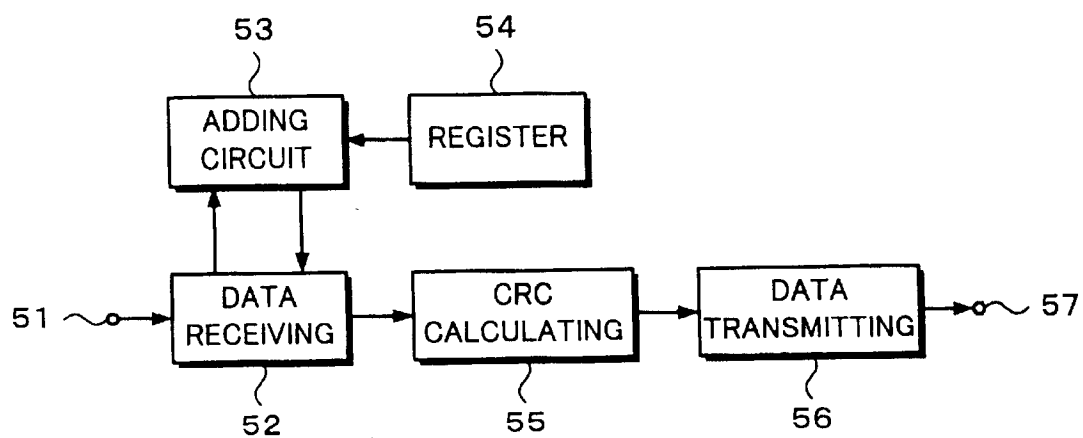


Fig. 5

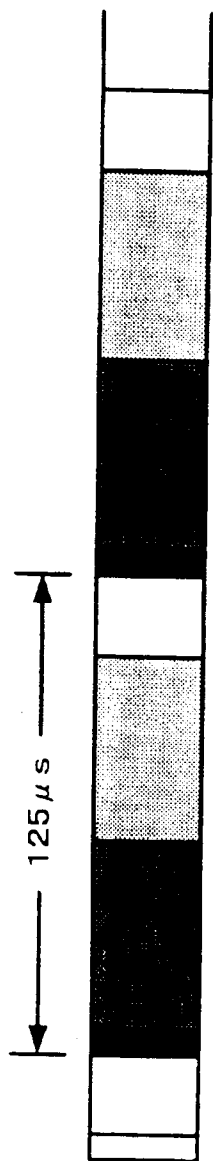


Fig. 6A

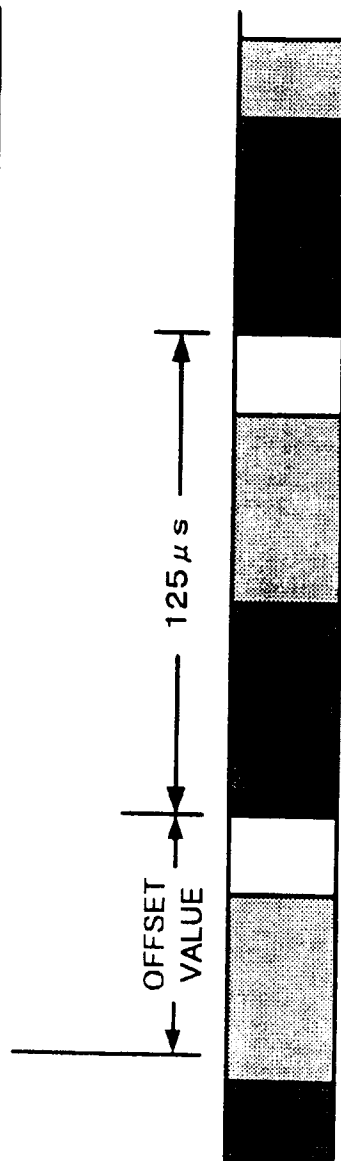


Fig. 6B

Fig. 7

(PRIOR ART)

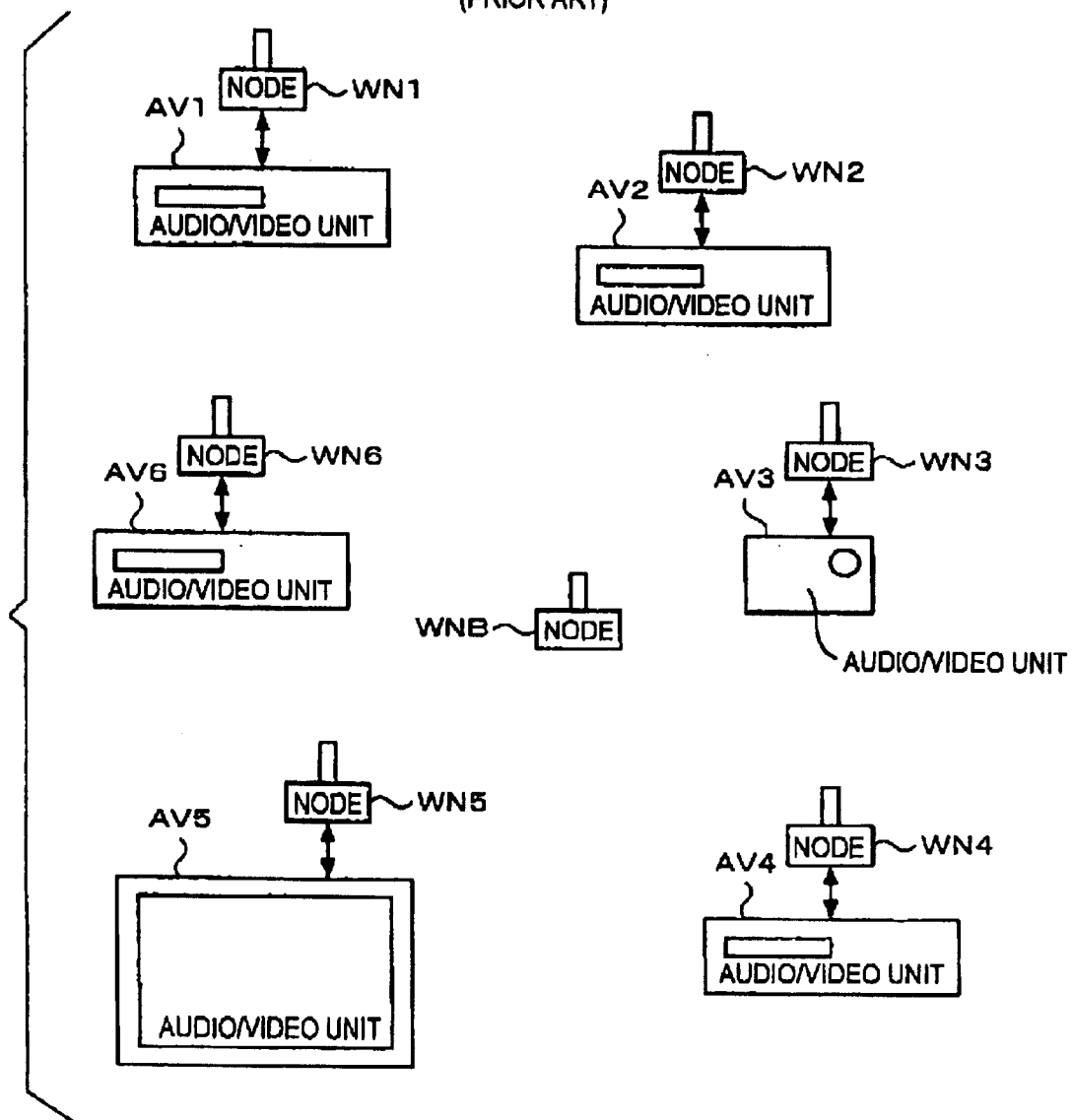


Fig. 8
(PRIOR ART)

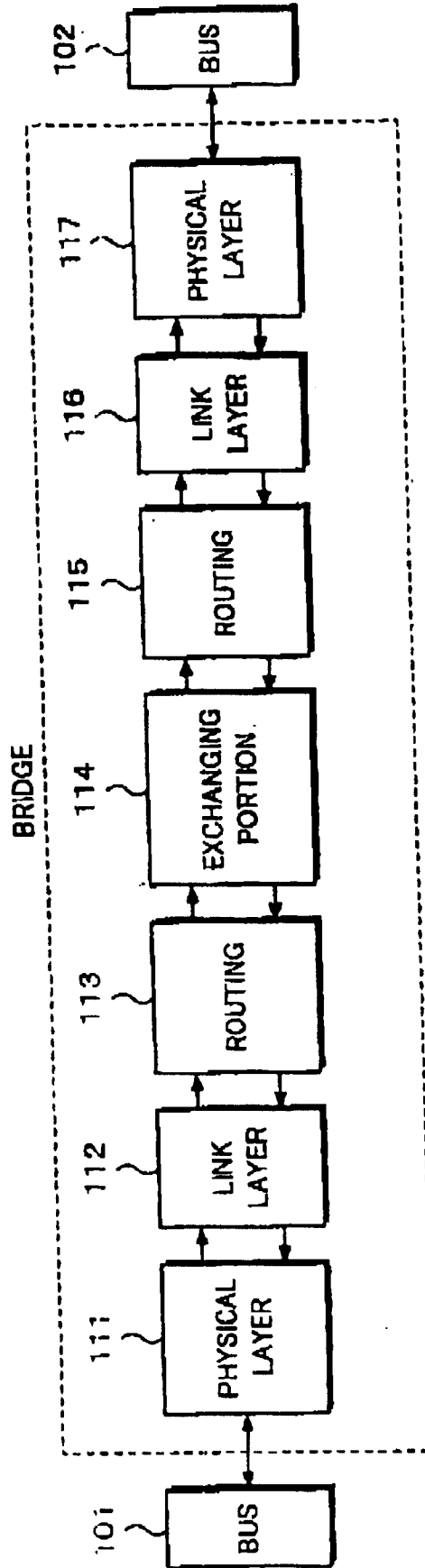
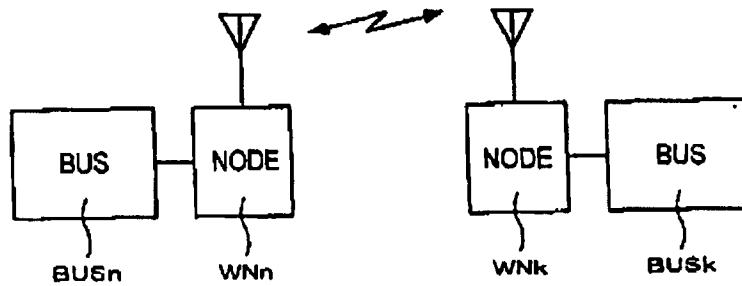
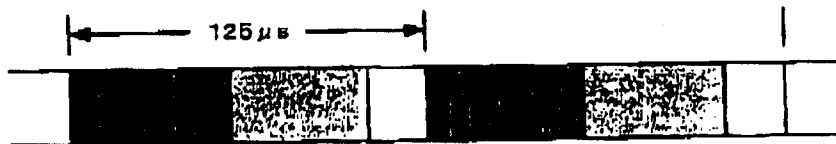


Fig. 9

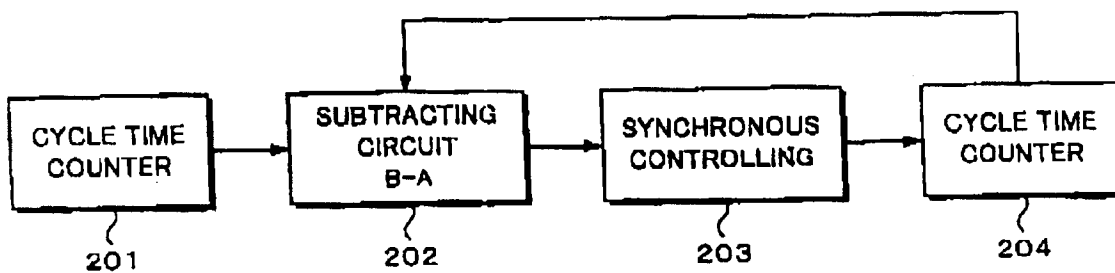
(PRIOR ART)

*Fig. 10*

(PRIOR ART)

*Fig. 11*

(PRIOR ART)



SYNCHRONIZING METHOD AND BRIDGE

BACKGROUND OF THE INVENTION

1. Field of the Invention

The present invention relates to a bridge that connects networks, in particular, to a synchronizing method and a bridge for synchronizing buses when they are connected.

2. Description of the Related Art

Audio units and video units have been digitized as with for example CD (Compact Disc) players, MD (Mini Disc) recorders/players, digital VCRs, digital cameras, and DVD (Digital Versatile Disc) players. As personal computers have become common, systems that connect such digital audio units or digital video units to personal computers have been proposed. As an interface that accomplishes a system that connects such digital audio units or such digital video units to a personal computer, IEEE (Institute of Electronics Engineers) 1394 is becoming attractive.

The IEEE 1394 interface supports both an isochronous transmission mode and an asynchronous transmission mode. The isochronous transmission mode is suitable for transmitting chronologically continuous data streams such as video data and audio data at high speed. The asynchronous transmission mode is suitable for transmitting various commands and files. Since the IEEE 1394 interface supports both the isochronous transmission mode and the asynchronous transmission mode, when the IEEE 1394 interface is used, video data and audio data can be transmitted between digital audio units and between digital video units, respectively. With a personal computer connected to such digital units through the IEEE 1394 interface, the user can easily control and edit video data and audio data.

The IEEE 1394 interface is a wired interface. To structure such a system with a wired interface, cable connections are required. In addition, such cable connections tend to become complicated. Moreover, with a wired interface, it is difficult to connect units that are disposed in different rooms.

Thus, the applicant of the present invention has proposed a wireless LAN (Local Area Network) that connects a digital audio unit or a digital video unit and a personal computer so as to wirelessly communicate therebetween. FIG. 7 shows an example of such a wireless LAN.

In FIG. 7, WN1, WN2, WN3, . . . are wireless nodes as communicating stations. Digital audio units or digital video units AV1, AV2, . . . , such as a CD player, an MD recorder/player, a digital VCR, a digital camera, a DVD player, and a television receiver can be connected to the wireless nodes WN1, WN2, In addition, a personal computer can be connected to the wireless nodes WN1, WN2, WN3, Each of the digital audio units and digital video units AV1, AV2, . . . connected to the wireless nodes WN1, WN2, . . . has the IEEE 1394 digital interface. The wireless nodes WN1, WN2, . . . and the digital audio units and digital video units AV1, AV2, . . . are connected with the IEEE 1394 digital interface.

WNB is a wireless node as a controlling station. The wireless node WNB as the controlling station exchanges control data with the wireless nodes WN1, WN2, . . . as the communicating stations. The wireless nodes WN1, WN2, . . . as the communicating stations communicate each other under the control of the wireless node WNB as the controlling station. The wireless nodes WN1, WN2, . . . as the communicating stations wirelessly exchange chronologically continuous data streams (isochronous data) and asynchronous data such as commands.

It can be considered that a system that wirelessly transmits IEEE 1394 digital data is a system of which buses are connected with a bridge.

The bridge matches a physical layer and a link layer on one bus side with those on another bus side, performs a routing process for nodes that communicate data with each other, and exchanges data through a transmission path. FIG. 8 is a functional block diagram showing the structure of such a bridge. Referring to FIG. 8, the bridge comprises a physical layer portion 111, a link layer portion 112, a physical layer portion 117, a link layer portion 116, a routing portion 113, a routing portion 115, and a data exchanging portion 114. The physical layer portion 111 matches a physical layer of a first bus 101 with that of a second bus 102. The link layer portion 112 matches a link layer of the first bus 101 with that of the second bus 102. The physical layer portion 117 matches the physical layer of the second bus 102 with that of the first bus 101. The link layer portion 116 matches the link layer of the second bus 102 with that of the first bus 101. The routing portion 113 routes data of the first bus 101 to the second bus 102. The routing portion 115 routes data of the second bus 102 to the first bus 101. The data exchanging portion 114 exchanges data between the first bus 101 and the second bus 102.

In a wireless LAN, as shown in FIG. 9, data is wirelessly communicated between a wireless node W_{Nn} and a wireless node W_{Nk}. At this point, an IEEE 1394 bus BUS_n connected to the wireless node W_{Nn} corresponds to the first bus. An IEEE 1394 bus BUS_k connected to the wireless node W_{Nk} corresponds to the second bus. Data is communicated between the wireless node W_{Nn} and the wireless node W_{Nk}. The wireless node W_{Nn} has the physical layer portion 111, the link layer portion 112, and the routing portion 113. The wireless node W_{Nk} has the physical layer portion 117, the link layer portion 116, and the routing portion 115. The transmission path of the exchanging portion 114 is a wireless transmission path.

Thus, as described above, it can be considered that a system that wirelessly transmits IEEE 1394 data is a system of which IEEE 1394 buses are connected with a bridge.

IEEE 1394 data is transmitted frame by frame. The IEEE 1394 data contains a time stamp. When buses that transmit data with a time stamp are connected with a bridge, cycle time counters of the buses are synchronized so as to constantly transmit data. In addition, the time stamp is changed so as to compensate the process time of the bridge.

As shown in FIG. 10, in the IEEE 1394 data, one frame is composed of 125 μ m. Corresponding to the cycle start packet information transmitted frame by frame and the deviations of the counter values, the counters are synchronized.

The cycle time counter is composed of a first counter, a second counter, and a third counter. The first counter counts frame intervals at 24.57 MHz. The second counter counts lines at frame intervals. The third counter counts seconds. The bit length of the cycle time counter is 32 bits.

FIG. 11 is a block diagram showing an example of the structure of a conventional synchronizing circuit that synchronizes cycle time counters of a first bus and a second bus. In FIG. 11, reference numeral 201 is a first bus side cycle time counter. Reference numeral 204 is a second bus side cycle time counter.

A counter value of the first bus side cycle time counter 201 is supplied to a subtracting circuit 202. A counter value of the second bus side cycle time counter 204 is supplied to the subtracting circuit 202. The subtracting circuit 202

subtracts the counter value of the cycle time counter **204** from the counter value of the cycle time counter **201**.

An output value of the subtracting circuit **202** is supplied to a synchronous controlling circuit **203**. The synchronous controlling circuit **203** outputs a deviation control signal corresponding to the output value of the subtracting circuit **202**. The deviation control signal is supplied to the cycle time counter **204**. The cycle time counter **204** is controlled corresponding to the deviation control signal.

When two buses are connected, the counter value of the cycle time counter **201** is different from the counter value of the cycle time counter **204**. Thus, the counter value of the cycle time counter **201** should be synchronized with the counter value of the cycle time counter **204**.

Thus, when the buses are connected with the bridge, the counter value of the cycle time counter **204** is initialized with the counter value of the cycle time counter **201**. Consequently, the counter value of the cycle time counter **201** is matched with the counter value of the cycle time counter **204**. In other words, after the counter value of the cycle time counter **204** is initialized with the counter value of the cycle time counter **201** and then the counter value of the cycle time counter **201** is matched with the counter value of the cycle time counter **204**, the synchronous controlling circuit **303** controls the counter value of the cycle time counter **204** corresponding to the resultant value of which the counter value of the cycle time counter **201** is subtracted from the counter value of the cycle time counter **204**.

However, when the counter value of the cycle time counter **204** is initialized with the counter value of the cycle time counter **201**, since the counter value of the cycle time counter **204** is discontinuously changed, data transmission should be instantaneously stopped.

To prevent the data transmission from being instantaneously suspended, the counter value of the cycle time counter **204** may be gradually matched with the counter value of the cycle time counter **201**. However, since the bit length of each of the cycle time counters is 32 bits, a long adjustment time period is required.

OBJECT AND SUMMARY OF THE INVENTION

Therefore, an object of the present invention is to provide a synchronizing method and a bridge for synchronizing buses of a plurality of nodes that transmit and receive data while synchronizing frames free of instantaneous suspension of data communication.

A first aspect of the present invention is a synchronizing method of a network of buses connected with a bridge, the buses having a plurality of nodes that transmit and receive data while synchronizing frames, the synchronizing method comprising the steps of detecting an offset of synchronous timings of the buses that are connected, and maintaining the synchronization of frames while keeping the offset so as to connect the buses.

A second aspect of the present invention is a bridge for connecting buses having a plurality of nodes that transmit and receive data while synchronizing frames, comprising a means for detecting an offset of synchronous timings of the buses that are connected, and a controlling means for maintaining synchronous timings while maintaining the offset.

Since time stamps of data that flows in the bridge are compensated using time stamps of the data, delay time of data in the bridge, and an offset value of the cycle time counters, the data can be quickly synchronized free of

instantaneous suspension of data communication without need to match the counter values of the cycle time counters of the buses.

These and other objects, features and advantages of the present invention will become more apparent in light of the following detailed description of a best mode embodiment thereof, as illustrated in the accompanying drawings.

BRIEF DESCRIPTION OF THE DRAWINGS

FIG. 1 is a block diagram for explaining a connection of buses with a bridge;

FIG. 2 is a block diagram showing an example of the structure of a synchronizing circuit in the bridge according to the present invention;

FIG. 3 is a block diagram showing an example of the structure of an offset circuit of the synchronizing circuit in the bridge according to the present invention;

FIGS. 4A, 4B, 4C, 4D, 4E, 4F, and 4G are a timing chart for explaining an example of the synchronizing circuit in the bridge according to the present invention;

FIG. 5 is a block diagram showing an example of the structure of a time stamp changing circuit in the bridge according to the present invention;

FIGS. 6A and 6B are schematic diagrams showing timings of buses connected with the bridge according to the present invention;

FIG. 7 is a schematic diagram showing an example of a wireless LAN;

FIG. 8 is a functional block diagram showing the structure of a bridge;

FIG. 9 is a block diagram for explaining a wireless LAN;

FIG. 10 is a schematic diagram showing the frame structure of IEEE 1394 data; and

FIG. 11 is a block diagram showing an example of a synchronizing circuit in a conventional bridge.

DETAILED DESCRIPTION OF THE PREFERRED EMBODIMENT

Next, with reference to the accompanying drawings, an embodiment of the present invention will be described. FIG. 1 shows a structure of which buses connected to a plurality of nodes are connected with a bridge. In FIG. 1, reference numerals **1** and **2** are buses corresponding to the IEEE 1394 standard (hereinafter, these buses may be referred to as IEEE 1394 buses). The first bus **1** is composed of nodes **1A**, **1B**, **1C**, The second bus **2** is composed of nodes **2A**, **2B**, **2C**, The bus **1** and the bus **2** are connected with a bridge **3**.

In the bridge that connects the IEEE 1394 buses, data contains a time stamp. The buses should be synchronized. According to the present invention, when the buses are connected, time stamps of data that flows in the bridge are compensated using delay time in the bridge and an offset value of which the counter value of a cycle time counter of one bus is subtracted from that of the other bus.

FIG. 2 is a block diagram showing an example of the structure of a synchronizing circuit according to the present invention. In FIG. 2, reference numeral **11** is a first bus side cycle time counter. Reference numeral **12** is a second bus side cycle time counter.

The counter value of the first bus side cycle time counter **11** is supplied to a subtracting circuit **13**. The counter value of the second bus side cycle time counter **12** is supplied to an offset circuit **14**.

A synchronous enable signal **EN** is supplied from a terminal **15** to an offset circuit **14**. When the signal level of

5

the synchronous enable signal EN is low, the counter value of the second bus side cycle time counter 12 is directly output. When the signal level of the synchronous enable signal EN becomes high, the counter value of the cycle time counter 12 is compensated with the offset value. The compensated value is supplied to the subtracting circuit 13.

FIG. 3 is a block diagram showing the structure of the offset circuit 14. In FIG. 3, the counter value of the second bus side cycle time counter 12 is supplied to an input terminal 21. The synchronous enable signal EN is supplied to an input terminal 24. The synchronous enable signal EN is supplied to both a register 25 and a selector 23. When the signal level of the synchronous enable signal EN becomes high, the register 25 stores an offset value of which the counter value of the cycle time counter 12 is subtracted from the counter value of the cycle time counter 11. When the signal level of the enable signal EN is high, the selector 23 is placed on a terminal 23A side. When the signal level of the synchronous enable signal EN is low, the selector 23 is placed on a terminal 23B side.

The counter value of the second bus side cycle time counter 12 is supplied to the input terminal 21. The counter value is supplied to both the subtracting circuit 22 and a terminal 23B of the selector 23. The offset value is supplied from the register 25 to the subtracting circuit 22. The subtracting circuit 22 subtracts the counter value of the second bus side cycle time counter 12 from the offset value received from the register 25. An output value of the subtracting circuit 22 is supplied to the terminal 23A of the selector 23. An output value of the selector 23 is output from an output terminal 26.

When the signal level of the synchronous enable signal EN is low, the selector 23 is placed on the terminal 23B side. Thus, the counter value of the second bus side cycle time counter 12 that has been received from the input terminal 21 is output from the output terminal 26 through the selector 23.

When the signal level of the synchronous enable signal EN becomes high, the offset value is stored in the register 25. Thereafter, the selector 23 is placed on the terminal 23A side. Thus, the subtracting circuit 22 subtracts the counter value of the cycle time counter 12 from the offset value. Consequently, the counter value of the cycle time counter 12 is compensated with the offset value. The resultant value is output as a counter compensated value from the output terminal 26.

In FIG. 2, the synchronous enable signal EN is supplied to the terminal 15. When the signal level of the synchronous enable signal EN is low, the offset circuit 14 outputs the counter value of the second bus side cycle time counter 12. Thus, the subtracting circuit 13 subtracts the counter value of the cycle time counter 12 from the counter value of the cycle time counter 11. The resultant value is supplied as the offset value to the offset circuit 14. The offset value is stored in the register 25 of the offset circuit 14.

When the signal level of the synchronous enable signal EN received from the terminal 15 becomes high, the offset circuit 14 outputs a counter compensated value of which the counter value of the cycle time counter 12 has been compensated with the offset value. The subtracting circuit 13 subtracts the counter compensated value from the counter value of the cycle time counter 11.

An output value of the subtracting circuit 13 is supplied to a synchronous controlling circuit 16. In addition, the synchronous enable signal EN is supplied from the terminal 16 to the synchronous controlling circuit 16. Moreover, an adjustment timing signal TM is supplied from a terminal 17 to the synchronous controlling circuit 16.

6

When the signal level of the synchronous enable signal EN received from the terminal 15 is high, the synchronous controlling circuit 16 generates a deviation control signal at a timing of the adjustment timing signal TM. The deviation control signal is supplied to the cycle time counter 12. When the signal level of the synchronous enable signal EN received from the terminal 15 is low, the cycle time counter 12 operates.

Next, with reference to a timing chart shown in FIG. 4A, 4B, 4C, 4D, 4E, 4F, and 4G, the operation of the synchronizing circuit shown in FIG. 2 will be described.

As shown in FIG. 4B, the signal level of the synchronous enable signal EN is low until time point t1. As shown in FIG. 4D, when the signal level of the synchronous enable signal EN is low, the cycle time counter 12 operates. Thus, the counter value (see FIG. 4E) of the cycle time counter 11 is regardless of the counter value (see FIG. 4D) of the cycle time counter 12.

As shown in FIG. 4F, until time point t1 at which the signal level of the synchronous enable signal EN becomes low, the offset circuit 14 outputs the counter value (see FIG. 4D) of the cycle time counter 12. The subtracting circuit 13 subtracts the counter value (see FIG. 4D) of the cycle time counter 12 from the counter value (see FIG. 4E) of the cycle time counter 11. Thereafter, as shown in FIG. 4G, the subtracting circuit 13 outputs the resultant value.

In other words, when the counter value of the cycle time counter 11 is "3", "4", . . . as shown in FIG. 4E and the counter value of the cycle time counter 12 is "31", "32", . . . , as shown in FIG. 4D, the output value of the subtracting circuit 13 is "28". Thus, until time point t1 at which the signal level of the synchronous enable signal EN is low, the subtracting circuit 13 outputs value "28". The value "28" is stored as an offset value to the register 25.

When the signal level of the synchronous enable signal EN becomes high at time point t1, the offset circuit 14 outputs the counter compensated value of which the counter value of the cycle time counter 12 has been compensated with the offset value. In other words, as shown in FIG. 4D, when the counter value of the cycle time counter 12 is "33", "34", . . . , the counter value of the cycle time counter 12 is subtracted from the offset value "28". Thus, as shown in FIG. 4F, the offset circuit 14 outputs "5", "6", . . .

The subtracting circuit 13 subtracts the compensated counter value from the counter value of the cycle time counter 11 and outputs the subtracted value. As shown in FIG. 4G, when the compensated counter value (see FIG. 4F) of the cycle time counter 12 is subtracted from the counter value (see FIG. 4E) of the cycle time counter 11, the resultant value becomes "0" just after time point t1 at which the signal level of the synchronous enable signal EN becomes high.

Since the timing of the cycle time counter 11 is adjusted corresponding to the cycle master of the bus, the counter value of the cycle time counter 11 may deviate in a long time counter operation. In this case, the subtracting circuit 13 outputs a non-zero value.

When the subtracting circuit 13 outputs a non-zero value, as shown in FIG. 4C, the signal level of the adjustment timing signal TM becomes high at time point t2. When the signal level of the adjustment timing signal TM becomes high, the synchronous controlling circuit 16 adjusts the deviation of the cycle time counter 12. In this case, as shown in FIG. 4D, the counter value of the cycle time counter 12 is skipped from "74" to "76" so that the output value of the subtracting circuit 13 becomes "0".

In this example, the counter value of one cycle time counter is compensated with the offset value. The frame timings of the two buses are synchronized with the offset value.

FIG. 5 is a block diagram showing an example of the structure of a time stamp changing circuit in the case that the counter value of a cycle time counter is compensated with the offset value.

In FIG. 5, a time stamp of data received from a first bus is supplied from an input terminal 51 to a data receiving circuit 52. The data receiving circuit 52 extracts the time stamp from data received from the first bus and supplies the extracted time stamp to an adding circuit 53.

An offset value is supplied from a register 54 to the adding circuit 53. As described above, the offset value is obtained by subtracting the counter value of the cycle time counter 12 from the counter value of the cycle time counter 11.

The adding circuit 53 adds the offset value to the time stamp. An output value of the adding circuit 53 is sent back to the data receiving circuit 52. The data receiving circuit 52 performs the time stamp changing process.

The changed time stamp is supplied to an error detection code adding circuit 55. The error detection code adding circuit 55 re-calculates CRC code and changes CRC error detection code.

An output signal of the error detection code adding circuit 55 is supplied to a data transmitting circuit 56. The data transmitting circuit 56 transmits the changed time stamp as an output signal of the other bus from an output terminal 57.

The offset value of which the counter value of the cycle time counter 11 is subtracted from the counter value of the cycle time counter 12 is supplied to the adding circuit 53. In the above-described example, data flows from the terminal 51 side to the terminal 57 side. However, in the bridge, data bidirectionally flows. When data flows in the reverse direction, the input value with the negative sign is supplied to the adding circuit 53.

It should be noted that the present invention is not limited to a wireless bridge. Instead, the present invention can be applied to the case that wireless nodes are wirelessly connected.

In the above-described example, the counter value of a cycle time counter is compensated with an offset value. In other words, in the system according to the present invention, as shown in FIGS. 6A to 6G, a frame (see FIG. 6A) of one bus and a frame (see FIG. 6B) of another bus are synchronized using a constant offset value. Thus, it is not necessary to match the beginnings of frames. Consequently, frames are quickly synchronized free of instantaneous suspension of data transmission.

According to the present invention, when buses having a plurality of nodes that transmit and receive data are connected with a bridge while frames are kept synchronized, an offset of synchronizing timings of the buses is maintained. Thus, it is not necessary to match the synchronizing timings of the buses. The data communication can be prevented from being instantaneously suspended. It takes a long synchronizing time. A time stamp of data that flows in the bridge is changed for a time period corresponding to the process time of the bridge and offset value. Thus, the time stamp and cycle time can be prevented from deviating.

Although the present invention has been shown and described with respect to a best mode embodiment thereof, it should be understood by those skilled in the art that the foregoing and various other changes, omissions, and addi-

tions in the form and detail thereof may be made therein without departing from the spirit and scope of the present invention.

What is claimed is:

1. A synchronizing method for a network of buses connected with a bridge, the buses having a plurality of nodes that transmit and receive data while synchronizing frames, the synchronizing method comprising the steps of:
 - detecting an offset of synchronous timings of the buses of the network that are to be connected; and
 - maintaining a synchronization of the frames while keeping original synchronous timing of the buses by using the offset as a compensation value so as to connect the buses of the network to be connected, wherein the offset is used as the compensation value in response to a first level of a synchronous enable signal, and the offset is not used as the compensation value in response to a second level of the synchronous enable signal.
2. A synchronizing method for a network of buses connected with a bridge, the buses having a plurality of nodes that transmit and receive data while synchronizing frames, the synchronizing method comprising the step of:
 - detecting an offset of synchronous timings of the buses of the network that are to be connected;
 - maintaining a synchronization of the frames while keeping original synchronous timings of the buses by using the offset as a compensation value so as to connect the buses of the network to be connected, wherein the offset is used as the compensation value in response to a first level of a synchronous enable signal, and the offset is not used as the compensation value in response to a second level of the synchronous enable signal; and
 - correcting a time stamp of transmitted data corresponding to a value of a process time of the bridge added to the offset.
3. The synchronizing method as set forth in claim 1 or 2, wherein the buses are IEEE 1394 buses.
4. The synchronizing method as set forth in claim 1 or 2 wherein
 - the buses are wireless buses.
5. A bridge for connecting buses having a plurality of nodes that transmit and receive data while synchronizing frames, comprising:
 - means for detecting an offset of synchronous timings of the buses that are to be connected; and
 - controlling means for maintaining a synchronization of the frames while keeping original synchronous timings of the buses by using the offset as a compensation value, wherein the offset is used as the compensation value in response to a first level of a synchronous enable signal, and the offset is not used as the compensation value in response to a second level of the synchronous enable signal.
6. A bridge for connecting buses having a plurality of nodes that transmit and receive data while synchronizing frames, comprising:
 - means for detecting an offset of synchronous timings of the buses that are to be connected;
 - controlling means for maintaining a synchronization of the frames while keeping original synchronous timings of the buses by using the offset as a compensation value, wherein the offset is used as the compensation value in response to a first level of a synchronous enable signal, and the offset is not used as the compensation value in response to a second level of the synchronous enable signal; and

9

means for correcting a time stamp of transmitted data corresponding to a value of a process time of the bridge added to the offset.

7. The bridge as set forth in claim 5 or 6, wherein the offset is detected as a difference between counter values of cycle time counters of the buses.

8. The bridge as set forth in claim 5 or 6, wherein

Said synchronous maintaining means

10

compensates a counter value of a cycle time counter on a data transmission side, so that the offset is maintained.

9. The bridge as set forth in claim 5 or 6, wherein the buses are IEEE 1394 buses.

10. The bridge as set forth in claim 5 or 6, wherein the buses are wireless buses.

* * * * *

(51) Int. Cl. ⁶	識別記号	F I
H 0 4 L 12/28		H 0 4 L 11/00 3 1 0 D
G 0 6 F 13/38	3 5 0	G 0 6 F 13/38 3 5 0
	13/42 3 4 0	
H 0 4 L 7/00		H 0 4 L 7/00 B
審査請求 未請求 請求項の数 2	O L	(全 8 頁)

(21) 出願番号 特願平10-60932

(22) 出願日 平成10年(1998)3月12日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 杉田 武弘

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72) 発明者 前島 康德

東京都品川区北品川6丁目7番35号 ソニー株式会社内

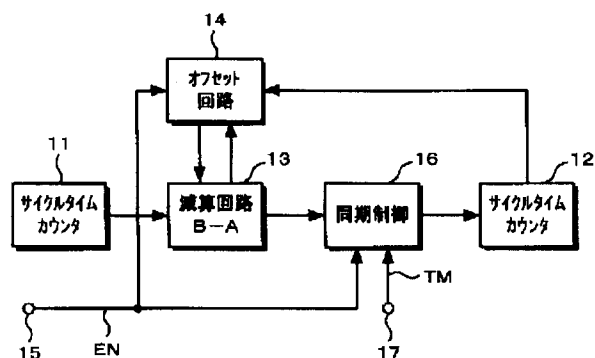
(74) 代理人 弁理士 杉浦 正知

(54) 【発明の名称】 同期方法及びブリッジ

(57) 【要約】

【課題】 互いにフレーム同期を維持しながらデータ送受信する複数のノードからなるバス同士を接続する際に、通信を一時的に中断させることなく、同期をとることができるようにする。

【解決手段】 双方のバスのサイクルタイムカウンタ 1 1 及び 1 2 の違いに基づくオフセット値を求め、このオフセット回路 1 4 に蓄える。バス同士を接続する際に、サイクルタイムカウンタ 1 2 の値をオフセット分だけ補正して、サイクルタイムカウンタ 1 1 の値と比較して同期をとる。そして、各バスを接続するブリッジの処理時間に、ブリッジを介して送信されるデータ中の内部時間を各バス間の同期タイミングのオフセット分だけ修正することでデータ中の内部時間を付け替える。



【特許請求の範囲】

【請求項 1】 互いにフレーム同期を維持しながらデータ送受信する複数のノードからなるバス同士をブリッジで接続して構成されるネットワークの同期方法において、

各バスを接続するためのブリッジの処理時間に、該ブリッジを介して送信されるデータ中の内部時間を各バス間の同期タイミングのオフセット分だけ修正することで該バス間の同期を確立するようにしたことを特徴とする同期方法。

【請求項 2】 互いにフレーム同期を維持しながらデータ送受信する複数のノードからなるバス同士を接続するブリッジにおいて、

各バスを接続するブリッジの処理時間に、該ブリッジを介して送信されるデータ中の内部時間を各バス間の同期タイミングのオフセット分だけ修正することで該データ中の内部時間を付け替えることを特徴とするブリッジ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、ネットワーク間を結ぶブリッジで、接続時のバス間の同期の確立するための同期方法及びブリッジに関する。

【0002】

【従来の技術】 CD (Compact Disc) プレーヤ、MD (Mini Disc) レコーダ／プレーヤ、デジタル VTR、デジタルカメラ、DVD (Digital Versatile Disc) プレーヤ等、近年、オーディオ機器やビデオ機器のデジタル化が進んでいる。また、パーソナルコンピュータの普及により、これらのデジタルオーディオ機器やデジタルビデオ機器とパーソナルコンピュータとを接続して、パーソナルコンピュータで種々の制御を行えるようにしたシステムが登場してきている。このように、各デジタルオーディオ機器やデジタルオーディオビデオ機器間、或いはこれらとパーソナルコンピュータとを接続したようなシステムを構築するためのインターフェースとして、IEEE 1394 が注目されている。

【0003】 IEEE 1394 は、等時 (Isochronous) 転送モードと、非同期 (Asynchronous) 転送モードとがサポートされている。等時転送モードは、ビデオデータやオーディオデータのような時間的に連続するデータストリームを高速転送するのに好適である。非同期転送モードは、例えば、各種のコマンドを転送したり、ファイルを転送したりするのに好適である。このように、IEEE 1394 は、等時転送モードと、非同期転送モードとがサポートされているため、IEEE 1394 をインターフェースとして使うと、デジタルオーディオ機器やデジタルビデオ機器間でビデオデータやオーディオデータを転送したり、これらとパーソナルコンピュータとを接続して、パーソナルコンピュータで各種制御

を行ったり、編集を行ったりすることが容易に行えるようになる。

【0004】 ところが、IEEE 1394 は、有線のインターフェースである。有線のインターフェースで上述のようなシステムを構築するには、配線が必要であり、また、ケーブルが乱雑になりがちである。また、有線のインターフェースでは、家庭内の離れた部屋にある機器間では、接続が困難である。

【0005】 そこで、本願出願人は、デジタルオーディオ機器やデジタルビデオ機器、或いはこれらとパーソナルコンピュータとを無線で接続でき、IEEE 1394 と同様に使用できる無線 LAN を提案している。図 7 は、このような無線 LAN の概要を示すものである。

【0006】 図 7 において、WN1、WN2、WN3、…は、通信局とされるワイヤレスノードである。ワイヤレスノード WN1、WN2、…には、夫々、CD プレーヤ、MD レコーダ／プレーヤ、デジタル VTR、デジタルカメラ、DVD プレーヤ、テレビジョン受像機等のデジタルオーディオ又はデジタルビデオ機器 AV1、AV2、…を接続することが可能である。また、ワイヤレスノード WN1、WN2、WN3、…に、パーソナルコンピュータを接続するようにしても良い。ワイヤレスノード WN1、WN2、…と接続されるデジタルオーディオ又はデジタルビデオ機器 AV1、AV2、…には、IEEE 1394 のデジタルインターフェースが備えられており、各ワイヤレスノード WN1、WN2、…と、デジタルオーディオ又はデジタルビデオ機器 AV1、AV2、…との間は、例えば、IEEE 1394 のデジタルインターフェースで接続される。

【0007】 WNB は制御局とされるワイヤレスノードである。制御局とされたワイヤレスノード WNB と通信局とされた各ワイヤレスノード WN1、WN2、…間では、制御データがやり取りされ、通信局とされた各ワイヤレスノード WN1、WN2、…の通信は、制御局とされたワイヤレスノード WNB により管理される。通信局とされた各ワイヤレスノード WN1、WN2、…間では、デジタルオーディオやデジタルビデオデータのような時間的に連続するデータストリーム (等時データ) 或いはコマンドのような非同期のデータが無線でやり取りされる。

【0008】 ところで、このように IEEE 1394 の伝送を無線で行えるようにしたシステムは、バス同士がブリッジを介して接続されているものと見做すことができる。

【0009】 すなわち、ブリッジは、一方のバス側の物理層やリンク層と、他方のバス側の物理層やリンク層を合致させ、データ通信を行うノード同士のルーティング処理を行ない、伝送路を介して互いにデータのやり取りを行うものである。したがって、ブリッジは、機能的に示すと、図 8 に示すように、第 1 のバス 101 の物理層

を合致させるための物理層部 111 と、第 1 のバス 101 のリンク層を合致させるためのリンク層部 112、第 2 のバス 102 の物理層を合致させるための物理層部 117 と、第 2 のバス 102 のリンク層を合致させるためのリンク層部 116 と、一方のバス 101 側のルーティング部 113 及び他方のバス 102 側のルーティング部 115 と、互いのバスでデータを交換するデータ交換部 114 とで表すことができる。

【0010】無線 LAN の場合には、図 9 に示すように、ワイヤスノード W_{Nn} とワイヤレスノード W_{Nk} との間で、無線でデータ通信が行われる。このとき、ワイヤスノード W_{Nn} に接続される IEEE 1394 のバス BUS_n が第 1 のバスに対応し、ワイヤスノード W_{Nk} に接続される IEEE 1394 のバス BUS_k が第 2 のバスに対応する。そして、ワイヤスノード W_{Nn} とワイヤレスノード W_{Nk} との間で、互いにデータ通信が行われるので、ワイヤスノード W_{Nn} には、物理層部 111 とリンク層部 112 とルーティング部 113 が備えられていることになり、ワイヤスノード W_{Nk} には、物理層部 117 とリンク層部 116 とルーティング部 115 が備えられていることになる。そして、交換部 114 の伝送路が無線ということになる。

【0011】したがって、上述のように、IEEE 1394 のデータを無線で伝送できるようにしたシステムを構築した場合には、IEEE 1394 のバスをブリッジで接続したと見做すことができる。

【0012】IEEE 1394 ではフレーム単位の伝送が行われており、データ中にタイムスタンプが含まれる。このように、データ中にタイムスタンプを含むバス同士をブリッジを用いて接続する場合には、データの過不足が無いように、ブリッジに接続されているバス同士のサイクルタイムカウンタの同期をとり、ブリッジにおける処理時間を補正するために、タイムスタンプの付け替え処理が行われている。

【0013】IEEE 1394 のフレーム構造は、図 10 は示すように、125 μ秒が 1 フレームとされる。そして、各フレームで送信されるサイクルスタートパケット情報とカウンタの値の進み遅れを調べてカウンタを調整することで、同期がとられている。

【0014】サイクルタイムは、フレーム周期を 24.576 MHz でカウントするカウンタと、1 行をフレーム周期でカウントするカウンタと、1 秒をカウントするカウンタとの、合計 32 ビットのサイクルタイムカウンタで構成される。

【0015】図 11 は、一方のバスと他方のバスとの間でサイクルタイムカウンタの同期をとるための従来の同期回路の一例である。図 11 において、201 は一方のバス側のサイクルタイムカウンタであり、204 は他方のバス側のサイクルタイムカウンタである。

【0016】一方のバスのサイクルタイムカウンタ 20

1 の値は、減算回路 202 に供給される。また、他方のサイクルタイムカウンタ 204 の値が減算回路 202 に供給される。減算回路 202 で、サイクルタイムカウンタ 204 の値と、サイクルタイムカウンタ 201 の値とが減算される。

【0017】減算回路 202 の出力が同期制御回路 203 に供給される。同期制御回路 203 により、サイクルタイムカウンタ 204 の値とサイクルタイムカウンタ 201 の値との減算値に応じて、進み/遅れ制御信号が出力される。この進み/遅れ制御信号がサイクルタイムカウンタ 204 に送られ、サイクルタイムカウンタ 204 がこの進み/遅れ信号に応じて制御される。

【0018】ブリッジにより接続が開始されるとき、サイクルタイムカウンタ 201 の値と、サイクルタイムカウンタ 204 の値は異なっており、従来では、2 つのバスをブリッジで接続したときには、サイクルタイムカウンタ 201 の値と、サイクルタイムカウンタ 204 の値とを合わせ込み、同期をとる必要がある。

【0019】そこで、ブリッジの接続が開始されるとき、サイクルタイムカウンタ 204 の値がサイクルタイムカウンタ 201 の値により初期化される。これにより、サイクルタイムカウンタ 201 の値と、サイクルタイムカウンタ 204 の値とが等しくなる。そして、このように、サイクルタイムカウンタ 204 の値をサイクルタイムカウンタ 201 の値により初期化し、サイクルタイムカウンタ 201 の値と、サイクルタイムカウンタ 204 の値とを等しておいてから、同期制御回路 303 により、サイクルタイムカウンタ 204 の値とサイクルタイムカウンタ 201 の値との減算値に応じて、サイクルタイムカウンタ 204 の値が制御される。

【0020】

【発明が解決しようとする課題】ところが、このようにブリッジの接続が開始されるときにサイクルタイムカウンタ 204 の値をサイクルタイムカウンタ 201 の値により初期化するようにした場合、サイクルタイムカウンタ 204 の値をサイクルタイムカウンタ 201 の値により初期化する際にサイクルタイムカウンタ 204 が連続しなくなるため、このとき通信を一時的に停止しなければならないという問題が生じている。

【0021】なお、通信の一時的な停止を避けるために、サイクルタイムカウンタ 204 の値とサイクルタイムカウンタ 201 の値とを徐々に一致させるように制御することも考えられるが、サイクルは 32 ビット長あり、このようにして調整するのでは、かなりの時間が必要になる。

【0022】したがって、この発明の目的は、互いにフレーム同期を維持しながらデータ送受信する複数のノードからなるバス同士を接続する際に、通信を一時的に中断させることなく、同期をとることができるようにした同期方法及びブリッジを提供することにある。

【0023】

【課題を解決するための手段】この発明は、互いにフレーム同期を維持しながらデータ送受信する複数のノードからなるバス同士をブリッジで接続して構成されるネットワークの同期方法において、各バスを接続するためのブリッジの処理時間に、ブリッジを介して送信されるデータ中の内部時間を各バス間の同期タイミングのオフセット分だけ修正することでバス間の同期を確立するようにしたことを特徴とする同期方法である。

【0024】この発明は、互いにフレーム同期を維持しながらデータ送受信する複数のノードからなるバス同士を接続するブリッジにおいて、各バスを接続するブリッジの処理時間に、ブリッジを介して送信されるデータ中の内部時間を各バス間の同期タイミングのオフセット分だけ修正することでデータ中の内部時間を付け替えることを特徴とするブリッジである。

【0025】ブリッジを通過するデータ中のタイムスタンプをブリッジ内の遅延時間の他に、サイクルタイムのオフセット値を考慮して補正することで、各バスのサイクルタイムカウンタを一致させる必要がなくなり、通信を一時的に中断させることなく、瞬時に同期をとることができるようになる。

【0026】

【発明の実施の形態】以下、この発明の実施の形態について図面を参照して説明する。図1は、複数のノードが接続されているバス同士をブリッジで接続した場合の構成を示すものである。図1において、1及び2は、例えば、IEEE1394で構成されるバスである。第1のバス1は、ノード1A、1B、1C、…から構成され、第2のバス2は、ノード2A、2B、2C、…とから構成される。このバス1とバス2との間がブリッジ3で接続される。

【0027】このように、IEEE1394のバス同士を接続するブリッジでは、データ中にタイムスタンプが含まれており、バス同士の同期をとる必要がある。この発明では、バス同士を接続する際に、ブリッジを通過するデータ中のタイムスタンプを、ブリッジ内の遅延時間の他に、互いのバスのサイクルタイムカウンタの減算値に基づいて形成されたオフセット値を考慮して補正するようにしている。

【0028】図2は、この発明が適用された同期回路の一例である。図2において、11は第1のバス1側のサイクルタイムカウンタであり、12は第2のバス2側のサイクルタイムカウンタである。

【0029】第1のバス側のサイクルタイムカウンタ11のカウンタ値は、減算回路13に供給される。第2のバス側のサイクルタイムカウンタ12のカウンタ値は、オフセット回路14に供給される。

【0030】オフセット回路14には、端子15から同期イネーブル信号ENが供給される。オフセット回路1

4は、同期イネーブル信号ENがローレベルのときには、第2のバス側のサイクルタイムカウンタ12のカウンタ値をそのまま出力し、同期イネーブル信号ENがハイレベルになると、サイクルタイムカウンタ12のカウンタ値をオフセット値で補正し、このオフセット値で補正されたサイクルタイムカウンタ12の値をカウンタ補正值として出力する。このオフセット回路14の出力が減算回路13に供給される。

【0031】オフセット回路14は、例えば、図3に示すように構成される。図3において、入力端子21には、第2のバス2側のサイクルタイムカウンタ12のカウンタ値が供給される。また、入力端子24には、同期イネーブル信号ENが供給される。この同期イネーブル信号ENは、レジスタ25に供給されると共に、セレクト23に供給される。レジスタ25は、同期イネーブル信号ENがハイレベルになると、サイクルタイムカウンタ12のカウンタ値とサイクルタイムカウンタ11のカウンタ値との減算値に基づくオフセット値を保持する。セレクト23は、イネーブル信号ENがハイレベルのときには端子23A側に設定され、同期イネーブル信号ENがローレベルのときには端子23B側に設定される。

【0032】入力端子21に、第2のバス側のサイクルタイムカウンタ12のカウンタ値が与えられ、この値が減算回路22に供給されると共に、セレクト23の端子23Bに供給される。減算回路22には、レジスタ25からオフセット値が供給される。減算回路22で、第2のバス側のサイクルタイムカウンタ12のカウンタ値と、レジスタ25からのオフセット値とが減算される。減算回路22の出力がセレクト23の端子23Aに供給される。セレクト23の出力が出力端子26から出力される。

【0033】同期イネーブル信号ENがローレベルのときには、セレクト23は端子23B側に設定される。このため、入力端子21からの第2のバス側のサイクルタイムカウンタ12のカウンタ値は、セレクト23を介して、出力端子26からそのまま出力される。

【0034】同期イネーブル信号ENがハイレベルになると、レジスタ25にオフセット値が保持される。そして、セレクト23が端子23A側に設定される。このため、減算回路22でサイクルタイムカウンタ12のカウンタ値とオフセット値とが減算され、サイクルタイムカウンタ12のカウンタ値がオフセットにより補正される。このオフセット値により補正されたサイクルタイムカウンタ12のカウンタ値は、カウンタ補正值として、出力端子26から出力される。

【0035】図2において、端子15に同期イネーブル信号ENが供給される。この同期イネーブル信号ENがローレベルのときには、オフセット回路14からは、第2のバス側のサイクルタイムカウンタ12のカウンタ値がそのまま出力される。このため、減算回路13で、サ

イクルタイムカウンタ 12 のカウンタ値と、サイクルタイムカウンタ 11 のカウンタ値とが減算される。この値は、オフセット値として、オフセット回路 14 に供給され、オフセット回路 14 のレジスタ 25 に保持される。

【0036】端子 15 からの同期イネーブル信号 EN がハイレベルになると、オフセット回路 14 からは、オフセット値で補正されたサイクルタイムカウンタ 12 の値がカウンタ補正值として出力される。そして、減算回路 13 で、オフセット値で補正されたサイクルタイムカウンタ 12 の値と、サイクルタイムカウンタ 11 のカウンタ値とが減算される。

【0037】減算回路 13 の出力が同期制御回路 16 に供給される。同期制御回路 16 には、端子 15 から同期イネーブル信号 EN が供給される。また、同期制御回路 16 には、端子 17 から調整タイミング信号 TM が供給される。

【0038】同期制御回路 16 は、端子 15 からの同期イネーブル信号 EN がハイレベルのときには、調整タイミング信号 TM のタイミングで、進み／遅れ制御信号を形成し、この進み／遅れ信号をサイクルタイムカウンタ 12 に供給する。端子 15 からの同期イネーブル信号 EN がローレベルのときには、サイクルタイムカウンタ 12 は自走している。

【0039】この図 2 に示す同期回路の動作について、図 4 のタイミング図を参照しながら説明する。

【0040】まず、時点 t_1 までは、図 4 B に示すように、同期イネーブル信号 EN はローレベルである。同期イネーブル信号 EN がローレベルのときには、図 4 D に示すように、サイクルタイムカウンタ 12 は、自走しており、サイクルタイムカウンタ 11 のカウンタ値 (図 4 E) とサイクルタイムカウンタ 12 のカウンタ値 (図 4 D) とは無関係な状態にある。

【0041】そして、同期イネーブル信号 EN がローレベルになる時点 t_1 までの間では、図 4 F に示すように、オフセット回路 14 からは、サイクルタイムカウンタ 12 の値 (図 4 D) がそのまま出力される。減算回路 13 で、サイクルタイムカウンタ 12 の値 (図 4 D) とサイクルタイムカウンタ 11 の値 (図 4 E) が減算され、図 4 G に示すように、減算回路 13 からは、その減算値が出力される。

【0042】すなわち、図 4 E に示すように、サイクルタイムカウンタ 11 のカウンタ値が「3」、「4」、…であり、図 4 D に示すように、サイクルタイムカウンタ 12 の値が「31」、「32」なら、その減算値は「28」となる。このため、同期イネーブル信号 EN はローレベルである時点 t_1 までの間では、減算回路 13 からは、「28」が出力される。そして、このときの値がオフセット値としてレジスタ 25 に保持される。

【0043】次に、時点 t_1 で同期イネーブル信号 EN がハイレベルになると、オフセット回路 14 からは、オ

フセット値で補正されたサイクルタイムカウンタ 12 の値が出力される。すなわち、図 4 D に示すように、このときのサイクルタイムカウンタ 12 の値が「33」、「34」、…であるとする、このサイクルタイムカウンタ 12 の値がオフセット値「28」により減算され、オフセット回路 14 からは、図 4 F に示すように、「5」、「6」、…が出力される。

【0044】減算回路 13 で、補正されたサイクルタイムカウンタ 12 の値と、サイクルタイムカウンタ 11 の値が減算され、減算回路 13 からは、その減算値が出力される。図 4 G に示すように、補正されたサイクルタイムカウンタ 12 の値 (図 4 F) と、サイクルタイムカウンタ 11 の値 (図 4 E) とを減算すると、その値は、同期イネーブル EN 信号がハイレベルとされた時点 t_1 の直後では「0」となる。

【0045】サイクルタイムカウンタ 11 は、バス内のサイクルマスタに合わせてタイミング調整されるため、時間が経過すると、カウンタの値にずれが生じる場合がある。このような場合には、減算回路 13 の出力は「0」以外となる。

【0046】減算回路 13 の出力が「0」以外となると、時点 t_2 で、図 4 C に示すように、調整タイミング信号 TM がハイレベルとなる。調整タイミング信号 TM がハイレベルになると、同期制御回路 16 の出力により、サイクルタイムカウンタ 12 の進み／遅れが調整される。この場合、図 4 D に示すように、サイクルタイムカウンタ 12 の値が「74」から「76」にスキップされる。これにより、減算回路 13 の出力は「0」となるように、制御される。

【0047】このように、この例では、サイクルタイムカウンタの値をオフセット値により補正しており、2 つのバスのフレームのタイミングがオフセット値だけ離れて同期制御される。

【0048】図 5 は、このようにサイクルタイムカウンタをオフセット値で補正したときのタイムスタンプの付け替え処理を行う回路の一例を示すものである。

【0049】図 5 において、第 1 のバスからのタイムスタンプが入力端子 51 に供給される。第 1 のバスからのタイムスタンプは、データ受信回路 52 に供給され、データ受信回路 52 で、第 1 のバスのタイムスタンプが抽出される。このタイムスタンプは、加算回路 53 に送られる。

【0050】加算回路 53 には、レジスタ 54 からオフセット値が与えられる。オフセット値は、前述したように、サイクルタイムカウンタ 12 のカウンタ値とサイクルタイムカウンタ 11 のカウンタ値とを減算することにより求められる。

【0051】加算回路 53 で、受け取ったタイムスタンプの値に、オフセット値が加えられる。このように、オフセット値が加えられたタイムスタンプは、データ受信

回路 52 に送り返され、データ受信回路 52 で、タイムスタンプの入れ替え処理が行われる。

【0052】 入れ換えられたタイムスタンプは、エラー検出コード付加回路 55 に供給される。エラー検出コード付加回路 55 で、CRCコードの計算がやり直され、CRCエラー検出コードが付け替えられる。

【0053】 エラー検出コード付加回路 55 の出力は、データ送信回路 56 に供給される。データ送信回路 56 により、オフセットが付加されたタイムスタンプがデータ送信回路 56 から出力され、これが他方のバスへの出力として、出力端子 57 から出力される。

【0054】 なお、加算回路 53 には、サイクルタイムカウンタ 11 とサイクルタイムカウンタ 12 とのサイクルタイムの差に基づくオフセット値が与えられる。そして、上述の例では、端子 51 側から端子 57 側にデータが流れているが、ブリッジには、双方向にデータがやり取りされる。反対方向の場合には、加算回路 53 に入力される値は、正負反対の値が用いられる。

【0055】 なお、この発明は、有線によるブリッジばかりでなく、ワイヤレスノード間を無線で接続するような場合にも同様に適用できる。

【0056】 このように、この例では、サイクルタイムカウンタの値をオフセット値により補正している。すなわち、この発明が適用されたシステムでは、図 6 に示すように、一方のバスのフレーム（図 6A）と他方のバスのフレーム（図 6B）との間で一定のオフセット値が維持されて同期がとられるため、フレームの先頭を一致させる必要がない。このため、通信が途切れることがなく、瞬時に同期をとることができる。

【0057】

【発明の効果】 この発明によれば、互いにフレーム同期を維持しながらデータ送受信する複数のノードからなるバス同士をブリッジで接続する際に、各バスを接続するためのブリッジの処理時間に、ブリッジを介して送信さ

れるデータ中の内部時間を各バス間の同期タイミングのオフセット値分だけ修正することでバス間の同期が確立される。また、この発明によれば、各バスを接続するブリッジの処理時間に、ブリッジを介して送信されるデータ中の内部時間を各バス間の同期タイミングのオフセット値分だけ修正することでデータ中の内部時間を付け替えが行われる。このため、各バスのサイクルタイムカウンタを一致させる必要がなくなり、通信を一時的に中断させることなく、瞬時に同期をとることができる。

【図面の簡単な説明】

【図 1】 ブリッジによる結合の説明に用いるブロック図である。

【図 2】 この発明が適用されたブリッジ内の同期回路の一例のブロック図である。

【図 3】 この発明が適用されたブリッジ内の同期回路におけるオフセット回路の一例のブロック図である。

【図 4】 この発明が適用されたブリッジ内の同期回路の一例の説明に用いるタイミング図である。

【図 5】 この発明が適用されたブリッジ内のタイムスタンプ付け替え回路の一例のブロック図である。

【図 6】 この発明が適用されたブリッジで接続したのときバスのタイミングを示す略線図である。

【図 7】 無線 LAN の一例のブロック図である。

【図 8】 ブリッジの構造の説明に用いる機能ブロック図である。

【図 9】 無線 LAN の説明に用いるブロック図である。

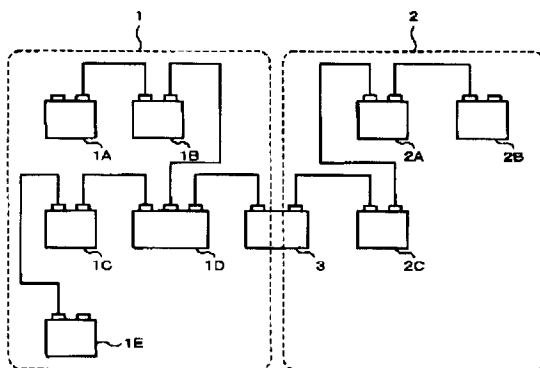
【図 10】 IEEE 1394 のフレーム構造を示す略線図である。

【図 11】 従来のブリッジ間の同期回路の一例のブロック図である。

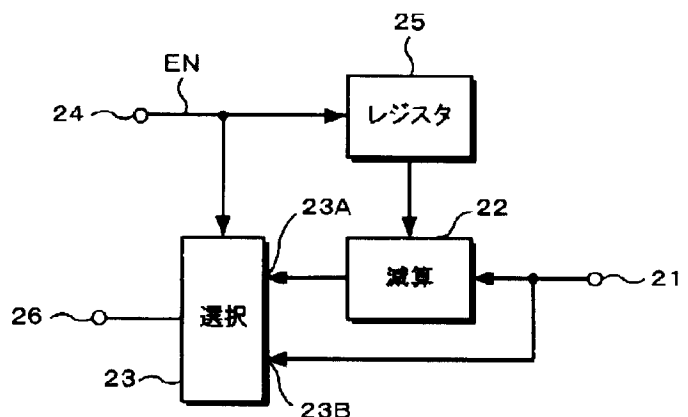
【符号の説明】

11、12・・・サイクルタイムカウンタ、13・・・減算回路、14・・・オフセット回路、16・・・同期制御回路

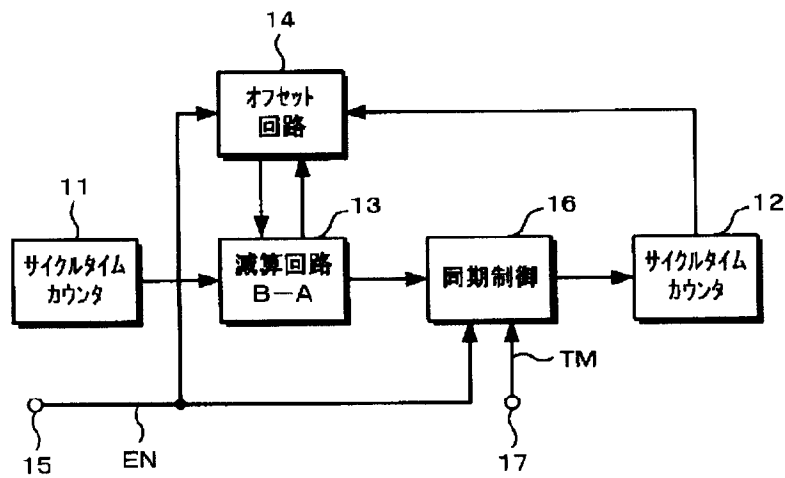
【図 1】



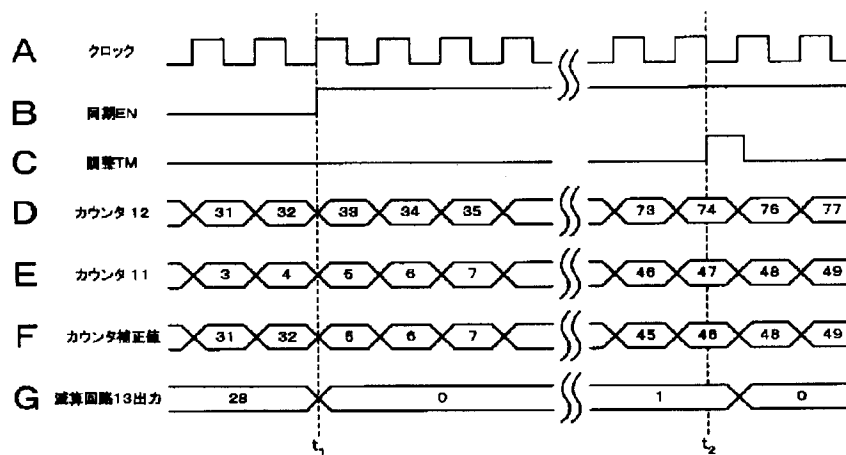
【図 3】



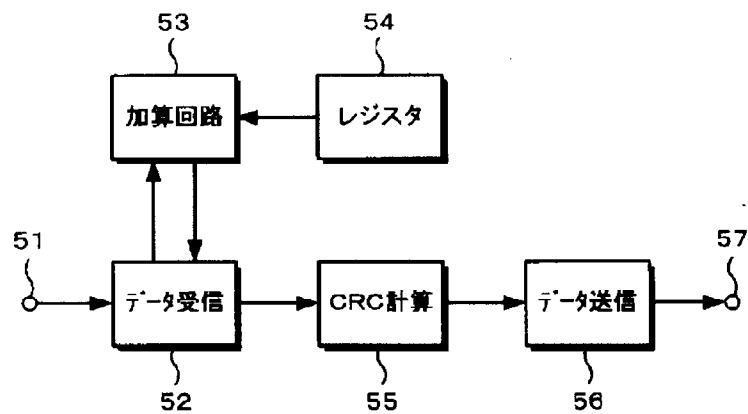
【図2】



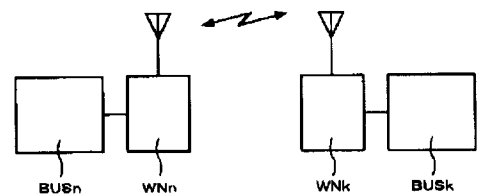
【図4】



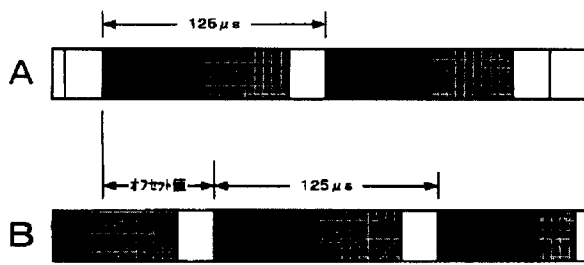
【図5】



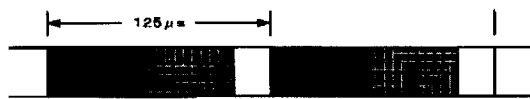
【図9】



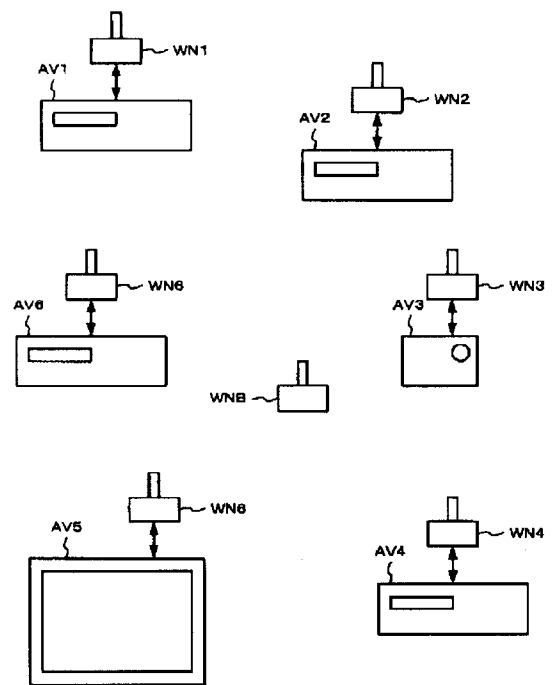
【図6】



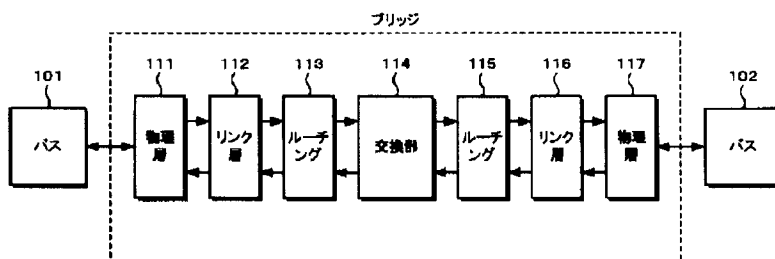
【図10】



【図7】



【図8】



【図11】

